




**Semiconductor chip, semiconductor device and manufacture method thereof**

**Patent number:** CN1405867  
**Publication date:** 2003-03-26  
**Inventor:** KOICHI NAGAO (JP); HIROAKI FUJIMOTO (JP)  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD (JP)  
**Classification:**  
- **international:** H01L21/60; H01L23/528; H01L23/544; H01L21/02; H01L23/62; H01L23/644; (IPC 1-7): H01L21/48  
- **european:** H01L21/60B2; H01L23/528; H01L23/544T  
**Application number:** CN20020128271 20020808  
**Priority number(s):** JP20010240845 20010808

**Also published as:**

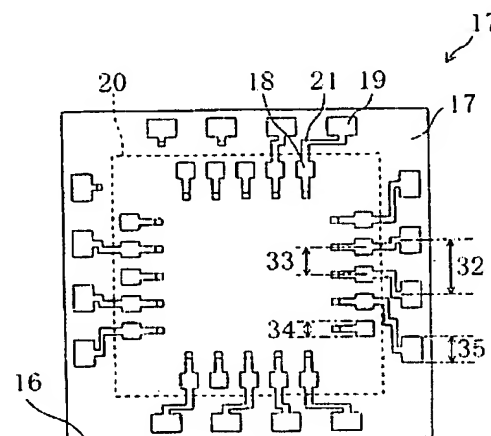
 US6764879 (B2)  
 US2003032263 (A1)  
 CN1208820C (C)

**Report a data error here**

Abstract not available for CN1405867

Abstract of corresponding document: US2003032263

A semiconductor wafer of the present invention includes: a plurality of semiconductor chip areas each of which is to be a semiconductor chip; and a cut-off area for separating the plurality of semiconductor chip areas from one another so as to obtain the semiconductor chips, wherein: an integrated circuit and an electrode pad connected to the integrated circuit are provided in each of the semiconductor chip areas; and a probe pad connected to the electrode pad is provided in the cut-off area.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**



# [12] 发明专利申请公开说明书

[21] 申请号 02128271.4

[43] 公开日 2003 年 3 月 26 日

[11] 公开号 CN 1405867A

[22] 申请日 2002.8.8 [21] 申请号 02128271.4

[30] 优先权

[32] 2001. 8. 8 [33] JP [31] 2001-240845

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 长尾浩一 藤本博昭

[74] 专利代理机构 中科专利商标代理有限责任公司

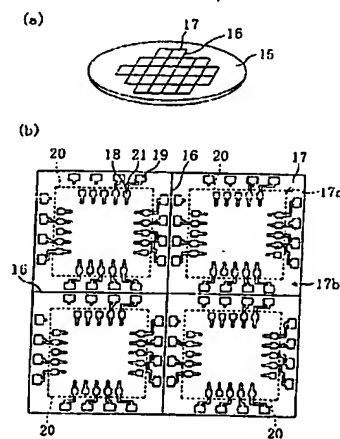
代理人 汪惠民

权利要求书 3 页 说明书 15 页 附图 11 页

[54] 发明名称 半导体片、半导体装置及其制造方法

[57] 摘要

一种半导体片(15)，形成有用第一分离线(16)划分的多个整体芯片区域(17)。在区域(17)上形成了集成电路、电极垫(18)、探测垫(19)，第二分离线(20)通过集成电路以及电极垫(18)与探测垫(19)之间。第二分离线(20)把区域(17)分离为成为半导体芯片的半导体芯片区域(17a)、第一分离线(16)和第二分离线(20)之间的切断区域(17b)。在此，第二分离线(20)是假想线，实际上不会在半导体片(15)上形成。几个探测垫(19)通过横切第二分离线(20)的布线(21)与电极垫(18)相连。



ISSN 1008-4274

1. 一种半导体片，具有：分别成为半导体芯片的多个半导体芯片区  
5 域和用于把所述多个半导体芯片区域分离为各半导体芯片的切断区域；

在所述多个半导体芯片区域上设置了集成电路和连接在所述集成电  
路上的电极垫；

在所述切断区域上设置了连接在电极垫上的探测垫。

2. 根据权利要求 1 所述的半导体片，其特征在于：在所述半导体芯  
10 片区域上分别形成的所述电极垫的个数比连接在所述电极垫上的所述探测  
垫的个数多。

3. 根据权利要求 1 所述的半导体片，其特征在于：在所述半导体芯  
片区域上分别形成的所述电极垫的间隔比连接在所述电极垫上的所述探测  
垫的间隔小。

15 4. 根据权利要求 1 所述的半导体片，其特征在于：在所述半导体芯  
片区域上分别形成的所述电极垫的尺寸比连接在所述电极垫上的所述探测  
垫的尺寸小。

5. 根据权利要求 1 所述的半导体片，其特征在于：沿着所述的半导  
体芯片区域的一边、两边或三边形成了连接在所述电极垫上的所述探测  
20 垫。

6. 根据权利要求 1 所述的半导体片，其特征在于：所述探测垫的保  
护电路设置在所述切断区域上。

7. 根据权利要求 1 所述的半导体片，其特征在于：连接在所述半导  
体芯片区域上分别形成的所述电极垫上的布线是用比连接在所述探测垫上  
25 的布线更下层的布线层形成的。

8. 一种半导体装置，其特征在于：具有：具有第一集成电路、连接  
在所述第一集成电路上的第一电极垫、形成在所述第一电极垫上的第一突  
起电极的第一半导体芯片和具有第二集成电路、连接在所述第二集成电路  
上的第二电极垫、形成在所述第二电极垫上的第二突起电极的第二半导体  
30 芯片；

在所述第一半导体芯片的侧端面上，连接在所述第一电极垫上的检查用布线的切断面露出；

所述第一突起电极和所述第二突起电极电连接。

9. 根据权利要求 8 所述的半导体装置，其特征在于：在所述第一半导体芯片上不设置探测垫。

10. 根据权利要求 8 所述的半导体装置，其特征在于：在所述第二半导体芯片的周边部上形成了用于与外部电路相连的外部电极垫。

11. 根据权利要求 8 所述的半导体装置，其特征在于：在所述第一半导体芯片和所述第二半导体芯片之间存在绝缘性树脂。

12. 根据权利要求 8 所述的半导体装置，其特征在于：通过密封树脂密封了所述第一半导体芯片和所述第二半导体芯片。

13. 一种半导体装置的制造方法，包含以下工序：

准备具有分别成为第一半导体芯片的多个第一半导体芯片区域和用于把所述多个第一半导体芯片区域分离为各第一半导体芯片的切断区域，并且在所述第一半导体芯片区域上设置了第一集成电路和连接在所述第一集成电路上的第一电极垫，在所述切断区域上设置了连接在所述第一电极垫上的探测垫的第一半导体片的工序（a）；

使探测针接触所述探测垫，进行所述多个第一半导体芯片的工序（b）；

20 在所述第一电极垫上形成第一突起电极的工序（c）；

通过除去所述第一半导体片的所述切断区域，从所述多个第一半导体芯片区域形成多个第一半导体芯片的工序（d）；

准备具有第二集成电路和连接在所述第二集成电路上的第二电极垫，并且具有分别成为第二半导体芯片的多个第二半导体芯片区域的第二半导体片的工序（e）；

在所述多个第二半导体芯片区域上分别形成的所述第二电极垫上形成第二突起电极的工序（f）；

通过加热和按压，电连接所述第一突起电极和所述第二突起电极的工序（g）；

30 把所述第二半导体片按所述多个第二半导体芯片区域切断的工序

(h)。

14. 根据权利要求 13 所述的半导体装置的制造方法，其特征在于：  
在所述工序（g）中，向所述第一半导体芯片和所述第二半导体芯片之间  
提供绝缘性树脂。

5        15. 根据权利要求 13 所述的半导体装置的制造方法，其特征在于：  
在所述工序（c）和所述工序（f）中，通过电解电镀法、无电解电镀法、  
印刷法、浸泡法或螺栓凸出法中的任意一种方法，形成所述第一突起电极  
和所述第二突起电极。

10       16. 根据权利要求 13 所述的半导体装置的制造方法，其特征在于：  
在所述工序（c）中，用含锡和银的合金、含锡和铅的合金、锡、镍、铜、  
铟、金中的任意一种形成所述第一突起电极。

## 半导体片、半导体装置及其制造方法

5

## 技术领域

本发明涉及一种通过倒装片接合把在上表面上分别形成了半导体集成电路的两个半导体芯片彼此接合后，形成的 COC (Chip On Chip) 型半导体装置。

10

## 背景技术

近年，为了谋求设置了集成电路的半导体装置的低成本化、小型化以及高性能化（高速化、低耗电化），进行了各种尝试。例如，提出了通过倒装片接合，把设置了具有不同功能的 LSI 或由不同工艺形成的 LSI 的两个半导体芯片彼此接合、形成的 COC 型半导体装置。

15

下面，说明通过倒装片接合把两个半导体芯片彼此接合的以往的半导体装置及其制造方法。

图 11 (a) 是表示了具有成为以往的半导体装置上搭载的半导体芯片的多个半导体芯片区域的半导体片的模式图。图 11 (b) 是放大表示了图 11 (a) 的半导体片的上表面的俯视图。

20

如图 11 (a) 和 11 (b) 所示，多个半导体芯片区域 2 形成在半导体片 1 上。各半导体芯片区域 2 由分离线 3 划分，多个电极垫 4 形成在各半导体芯片区域 2 上。通过沿着分离线 3 切断各半导体芯片区域 2，就变成了搭载在以往的半导体装置上的半导体芯片。

25

这里，形成在半导体芯片区域 2 上的电极垫 4 既作为用于进行与外部电连接的外部电极垫使用，也作为用于进行各半导体芯片的电检查的探测垫使用。即一个电极垫兼做外部电极垫和检查电极垫。须指出的是，在各半导体芯片区域 2 的表面上只图示了电极垫 4，省略了其它的布线等的图示。

30

图 12 (a) 是表示从以往的具有的半导体装置的半导体片 1 切出的半导

连接在所述电极垫上的所述探测垫的个数多的结构。

可以采用在所述半导体芯片区域上分别形成的所述电极垫的间隔比连接在所述电极垫上的所述探测垫的间隔小的结构。

由此，能使检查时探测针滑动的方向的探测垫的形状变长。因此，  
5 能更准确地进行检查。

可以采用在所述半导体芯片区域上分别形成的所述电极垫的尺寸比连接在所述电极垫上的所述探测垫的尺寸小的结构。

可以采用沿着所述的半导体芯片区域的一边、两边或三边形成了连接在所述电极垫上的所述探测垫的结构。

10 所述探测垫的保护电路也可以设置在所述切断区域上。

连接在所述半导体芯片区域上分别形成的所述电极垫上的布线最好是用比连接在所述探测垫上的布线更下层的布线层形成的。

由此，能缩短从内部电路到电极垫的布线长度。因此，能降低布线电容。

15 本发明的半导体装置具有：具有第一集成电路、连接在所述第一集成电路上的第一电极垫、形成在所述第一电极垫上的第一突起电极的第一半导体芯片和具有第二集成电路、连接在所述第二集成电路上的第二电极垫、形成在所述第二电极垫上的第二突起电极的第二半导体芯片；在所述第一半导体芯片的侧端面上，连接在所述第一电极垫上的检查用布线的切  
20 断面露出；所述第一突起电极和所述第二突起电极电连接。

根据本发明，在第一半导体芯片中，通过切断除去检查后变为不要的检查用布线，设置了检查用布线的区域也被除去。因此，第一半导体芯片的尺寸比以往的半导体芯片小。因此，能得到比以往的半导体装置小型的半导体装置。另外，因为在第一半导体芯片中，通过切断除去了检查用  
25 布线，所以没必要考虑检查用布线的静电容量和电感。因此，本发明的半导体装置的电极垫等布线的静电电容和电感比以往的半导体装置的电极垫等的布线的静电电容和电感小。

根据本发明，能采用在所述第一半导体芯片上不设置探测垫的结构。

在所述第二半导体芯片的周边部上可以形成用于与外部电路相连的  
30 外部电极垫。

在所述第一半导体芯片和所述第二半导体芯片之间可以存在绝缘性树脂。

可以通过密封树脂密封了所述第一半导体芯片和所述第二半导体芯片。

5        本发明的半导体装置的制造方法，包含以下工序：准备具有分别成为第一半导体芯片的多个第一半导体芯片区域和用于把所述多个第一半导体芯片区域分离为各第一半导体芯片的切断区域，并且在所述第一半导体芯片区域上设置了第一集成电路和连接在所述第一集成电路上的第一电极垫，在所述切断区域上设置了连接在所述第一电极垫上的探测垫的第一半  
10        导体片的工序（a）；使探测针接触所述探测垫，进行所述多个第一半导体芯片的工序（b）；在所述第一电极垫上形成第一突起电极的工序（c）；通过除去所述第一半导体片的所述切断区域，从所述多个第一半导体芯片区域形成多个第一半导体芯片的工序（d）；准备具有第二集成电路和连接在所述第二集成电路上的第二电极垫，并且具有分别成为第二半  
15        导体芯片的多个第二半导体芯片区域的第二半导体片的工序（e）；在所述第二半导体芯片区域上分别形成了所述第二电极垫上形成第二突起电极的工序（f）；通过加热和按压，电连接所述第一突起电极和所述第二突起电极的工序（g）；把所述第二半导体片按所述多个第二半导体芯片区域切断的  
20        工序（h）。

20        根据本发明，在第一半导体芯片中，通过切断，除去检查后变为不要的探测垫。因此，第一半导体芯片的尺寸比以往的半导体芯片小。因此，能得到比以往的半导体装置小型的半导体装置。另外，因为第一半导体芯片通过切断出除去了探测垫，所以在得到的半导体装置中，没必要考虑探测垫的静电电容和电感。因此，根据本发明，得到了电极垫等的布线的静  
25        电电容和电感比以往的半导体装置的电极垫等的布线的静电电容和电感小的半导体装置。

在所述工序（g）中，可以向所述第一半导体芯片和所述第二半导体芯片之间提供绝缘性树脂。

在所述工序（c）和所述工序（f）中，可以通过电解电镀法、无电  
30        解电镀法、印刷法、浸泡法或螺栓凸出法中的任意一种方法，形成所述第

一突起电极和所述第二突起电极。

在所述工序(c)中,可以用含锡和银的合金、含锡和铅的合金、锡、镍、铜、铟、金中的任意一种形成所述第一突起电极。

## 5 附图说明

下面简要说明附图。

图1(a)是表示形成了多个半导体芯片的半导体片的模式图,图1(b)是放大表示图1(a)的半导体片的上表面的俯视图。

图2是表示本发明的半导体芯片的俯视图。

10 图3是表示本发明的半导体芯片的其它例子的俯视图。

图4是表示本发明的半导体芯片的其它例子的俯视图。

图5是表示本发明的半导体芯片的其它例子的俯视图。

图6是表示本发明的半导体装置的结构图。

15 图7是表示半导体芯片的探测垫、电极垫以及各布线层的结构的剖视图。

图8是表示半导体芯片的探测垫、电极垫以及各布线层的结构的剖视图。

图9是表示本发明的半导体装置的制造方法的各过程的剖视图。

图10是表示本发明的半导体装置的制造方法的各过程的剖视图。

20 图11(a)是表示形成了多个半导体芯片的半导体片的模式图,图11(b)是放大表示图11(a)的半导体片的上表面的俯视图。

图12是表示以往的半导体装置的结构图。

下面简要说明附图符号。

1、15—半导体片; 2、17a—半导体芯片区域; 2a、17c、22—半导  
25 体芯片; 3—分离线; 4、18—电极垫; 5—半导体芯片; 6—突起电极; 7  
—外部电极垫; 9—突起电极; 10—绝缘性树脂; 11—冲模垫; 12—内部  
引线; 13—金属细线; 14—密封树脂; 16—第一分离线; 17、22a—整体  
芯片区域; 17b—切断区域; 19—探测垫; 20—第二分离线; 21—布线;  
23、25—突起电极; 24—外部电极垫; 26—内部电极垫; 27—绝缘性树  
30 脂; 28—冲模垫; 29—内部引线; 30—金属细线; 31—密封树脂; 32、33

—间隔；34、35—宽度；36—保护电路；37—突起电极；38—通孔；38'—插塞；39、39'—扩散层；41—布线；42—布线层；43—布线层；44—探测针；45—切片胶带；46—注射器；47—脉冲加热工具；51、52、53—绝缘膜；53a—开口部；54—衬底；100、200—半导体装置。

5

### 具体实施方式

下面，参照附图，就本发明的实施例的半导体片以及使用了它的半导体装置加以说明。

首先，就本实施例的半导体片加以说明。图 1(a) 是表示形成了多个成为半导体芯片的半导体芯片区域的半导体片的模式图，图 1(b) 是放大表示图 1(a) 的半导体片的上表面的俯视图。

如图 1(a) 和图 1(b) 所示，本实施例的半导体片 15 形成了由第一分离线 16 划分的多个整体芯片区域 17。在整体芯片区域 17 上，形成了集成电路（没有图示）、电极垫 18、探测垫 19，集成电路以及电极垫 18 与探测垫 19 之间有第二分离线 20。第二分离线 20 在整体芯片区域 17 的表面上，位于第一分离线 16 的内侧，把整体芯片区域 17 分离为成为半导体芯片的半导体芯片区域 17a、第一分离线 16 和第二分离线 20 之间的切断区域 17b。即整体芯片区域 17 具有位于第二分离线 20 的内侧，并且成为半导体芯片的多个半导体芯片区域 17a，和第一分离线 16 和第二分离线 20 之间的切断区域 17b。

在此，第二分离线 20 是为了便于说明而虚拟的线，实际上不会在半导体片 15 上形成。另外，虽然在本实施例中第二分离线 20 是直线，但是，其当然也可以是曲线。

一些探测垫 19 通过横切第二分离线 20 的布线 21 与电极垫 18 相连。

电极垫 18 在构成半导体装置时，是用于连接从半导体芯片区域 17a 得到的半导体芯片和别的半导体芯片的电极垫，是用于在两个半导体芯片之间高速传递信号。并且，最好这样设置电极垫 18：使其形成在半导体芯片区域 17a 内的布线和扩散层等的正上方，并且使到电极垫 18 的布线长度变短。

图 2 是表示沿着第二分离线 20，用回转刀切断、分离的半导体芯片

17c 的俯视图。

如图 2 所示, 除去形成了探测垫 19 的切断区域, 在半导体芯片 17c 上留下集成电路 (没有图示)、电极垫 18、布线 21。另外, 在半导体芯片 17c 的侧端面上露出了布线 21 的切断面。

5 这样, 在本实施例的半导体片 15 中, 通过使探测针接触探测垫 19 而检查了各整体芯片区域 17 后, 通过切断, 除去形成了检查后变为不要的探测垫 19 的切断区域 17b。因此, 半导体芯片 17a 的尺寸比以往的半导体芯片区域 2 小。即能使从本实施例的半导体片 15 得到的半导体芯片 17c 的芯片尺寸比以往的半导体芯片 2a 小。

10 下面, 参照附图, 说明设置在上述的半导体片上的整体芯片区域 17 的其它例子。图 3(a)、3(b)、4(a)、4(b)、5(a)、5(b) 是表示形成在半导体芯片 22 上搭载的半导体芯片 17c 的整体芯片区域 17 的其它各种例子的俯视图。

在图 3(a)所示的整体芯片区域 17 中, 用于 BIST 等的检查电路 (没有图示) 设置在半导体芯片区域 17a 的内部。由此, 能使切断区域 17b 的探测垫 19 的个数比电极垫 18 的个数少。例如, 在本实施例的半导体装置 100 中, 当半导体芯片 17c 是 DRAM, 并且半导体芯片 22 包含逻辑电路时, 在图 3(a)所示的整体芯片区域 17 中, 电极垫 18 的个数需要约 140 个, 而作为数据线用垫、地址线用垫、控制用垫、电源用垫等, 必要的探测垫 19 的个数约为 50 个。

20 这样, 通过减少探测垫 19 的个数, 能使探测垫 19 的间隔 32 比电极垫 18 的间隔 33 大。例如, 如果假设半导体芯片 17a 的面积是  $20\text{mm}^2$  (边长  $4\text{mm} \times 5\text{mm}$ ), 则在半导体芯片区域 17a 上, 能使电极垫 18 的间隔 33 为  $80\mu\text{m}$ , 配置约 200 个电极垫 18。而如果假设半导体芯片区域 17a 的面积  
25 为  $20\text{mm}^2$ , 则能以间隔 32 为  $300\mu\text{m}$  配置探测垫 19。如上所述, 因为能增大探测垫 19 的间隔 32, 所以对于电极垫 18 的宽度 34, 能增大探测垫 19 的宽度 35。因此, 例如, 当电极垫 18 的宽度 34 为  $50\mu\text{m}$  时, 能使探测垫 19 的宽度 35 为  $250\mu\text{m}$ 。

另外, 如图 3 所示, 能使探测垫 19 的形状为长方形, 使各探测垫 19  
30 的长边平行于各探测垫 19 沿着的整体芯片区域 17 的各边。由此, 能抑制

整体芯片区域 17 的尺寸变大, 而且, 使探测时探测针滑动(擦)的方向(即与各探测垫 19 沿着的整体芯片区域 17 的各边平行的方向)的探测垫 19 的形状变长。因此, 能使检查更准确。

如果减少探测垫 19 的个数, 如图 3(b)、4(a)、4(b)、5(a)所示, 即使不使用整体芯片区域 17 的四边, 也能配置必要的探测垫 19。图 3(b)至 5(a)所示的整体芯片区域 17 都具有与图 3(a)所示的整体芯片区域 17 几乎相同的结构, 只是探测垫 19 的个数和设置了探测垫 19 的切断区域 17b 的位置不同。具体而言, 图 3(b)表示了设置了探测垫 19 的切断区域 17b 位于整体芯片区域 17 的三边的例子。另外, 图 4(a)和图 4(b)表示了切断区域 17b 位于整体芯片区域 17 的两边的例子。图 5(a)表示了切断区域 17b 位于整体芯片区域 17 的一边的例子。

例如, 在图 5(a)所示的例子中, 如果假设整体芯片区域 17 的尺寸为  $5\text{mm} \times 4.15\text{mm}$ , 探测垫 19 的间隔为  $90\mu\text{m}$ , 则能在位于整体芯片区域 17 的一边上的切断区域 17b 上配置宽度为  $80\mu\text{m}$  的约 50 个探测垫 19。

这样, 通过减少探测垫 19 的个数, 当在第二分离线 20 切断, 从半导体芯片区域 17a 得到半导体芯片 17c 时, 除去的切断区域 17b 的面积变小。因此, 能增加从一片半导体片 15 得到的半导体芯片 17c 的个数, 从而能削减半导体芯片 17c 的制造成本。

另外, 在本实施例中, 如上所述, 能使探测垫 19 比电极垫 18 的尺寸大很多。因为通过切断, 除去了探测垫 19, 所以没有必要考虑探测垫 19 的静电电容和电感。而在以往的半导体芯片 2a 中, 因为电极垫 4 兼做探测垫, 所以很难减小电极垫 4 的尺寸。因此, 本实施例的半导体芯片 17c 的电极垫 18 引起的静电电容和电感比以往的半导体芯片 2a 的电极垫 4 引起的静电电容和电感小很多。例如, 如果假设以往的半导体芯片 2a 的电极垫 4 的尺寸是  $75\mu\text{m}$  角, 本实施例的半导体芯片 17c 的电极垫 18 的尺寸为  $15\mu\text{m}$  角, 则电极垫的面积缩小到  $1/25$ , 电极垫引起的静电电容在半导体芯片区域整体上减少  $0.1\text{pF}$  以上。

另外, 在本实施例中, 在半导体芯片区域 17a 的内部设置了用于 BIST 等的检查电路(没有图示)。因此, 电极垫 18 中的一些只用于连接, 不进行探测。能把这样的只用于连接的电极垫 18 配置在离开集成电路的距离

尽可能短的位置。由此，能缩短连接电极垫和集成电路的布线，从而能降低该布线引起的静电电容和电感。以往的半导体芯片 2a 具有设置在半导体芯片 2a 的端部的连接电极垫 4 和集成电路的布线。具体而言，与以往的半导体芯片 2a 相比，本实施例的半导体芯片 17c 的静电电容在每 1mm 的布线长度上，减少了 0.1pF。

这样，根据本实施例，能得到静电电容和电感的影响非常小的半导体芯片。

另外，在本实施例中，能在切断区域 17b 内设置用于保护集成电路免受探测时来自整体芯片区域 17 外部的电涌之影响的保护电路 36。例如，如图 5(b)所示，把保护电路 36 配置在探测垫 19 的旁边。由此，能进一步减小当用第二分离线 20 分离半导体芯片区域 17a 时的半导体芯片 17c 的尺寸。另外，因为通过切断也可除去保护电路 36，所以能忽略保护电路 36 的静电电容和电感。

并且，倒装片接合用的电极垫因为使用突起电极（凸出）进行连接，所以能使电极垫 18 比一边为  $70\mu\text{m}$  的正方形还小。另外，通过倒装片接合，电极垫正下方所受机械应力也变小，故也可将布线及扩散层等配置于电极垫 18 的正下方。因此，根据本实施例，能把电极垫 18、突起电极以及布线的静电电容和电感设计得极小。

如上所述，根据本实施例，通过把半导体片 15 的整体芯片区域 17 的结构设置为分别设置探测垫 19、电极垫 18，通过切断除去探测垫的结构，能消除对于整体芯片区域 17 上形成的探测垫、电极垫的个数、尺寸、间隔等的布线设计上的诸多限制。另外，也能消除对于连接在各电极垫上的布线和电极垫的配置等的布线设计上的诸多限制。

下面，参照图 6，说明一下采用从上述的半导体片的半导体芯片得到的本实施例的半导体装置。图 6(a)是表示制造本实施例的半导体装置时，把从半导体片 15 分离的半导体芯片 17c 搭载到另一个半导体芯片 22 上的样子的图，图 6(b)是本实施例的半导体装置的剖视图。

如图 6(a)所示，在本实施例的半导体装置 100 中，通过在第二分离线 20 切断后分离得到的半导体芯片 17c 以面朝下的状态搭载在半导体芯片 22 之上。

如图 6(a) 和 6(b) 所示, 半导体芯片 22 具有形成在它的上表面上的内部电极垫 26 以及外部电极垫 24、连接在内部电极垫 26 以及外部电极垫 24 上的内部电路 (没有图示)。突起电极 23 形成在内部电极垫 26 上。这里, 突起电极 25 也形成在半导体芯片 17c 的电极垫 18 的上表面上。

5 在本实施例的半导体装置 100 中, 在突起电极 23 和突起电极 25 相连的状态下, 通过倒装片接合把半导体芯片 22 和半导体芯片 17c 接合起来。

在本实施例中, 形成在半导体芯片 17c 的电极垫 18 的上表面上的突起电极 25 由锡-银合金形成。锡-银合金的组成为对于锡, 银的含量为 3.5%, 锡-银合金的厚度为  $30\mu\text{m}$  左右。锡-银合金也可以再包含铜、铋。  
10 也可以用锡-铅合金、锡、铟代替锡-银合金形成突起电极 25。

另外, 在本实施例中, 为了提高半导体芯片 17c 的电极垫 18 和突起电极 25 的密合性并且防止金属扩散, 在电极垫 18 上形成了底障碍金属层 (没有图示)。底障碍金属层由从电极垫 18 一侧按钛、铜、镍、锡-银合金的顺序层叠的层叠膜形成。

15 另外, 在本实施例中, 虽然用镍膜形成了突起电极 23, 但是, 也可以用锡-铅合金、锡、铟、金或铜中的任意一种形成。在本实施例中, 镍膜的厚度为  $8\mu\text{m}$  左右, 但是, 为了防止氧化, 也可以在镍膜的表面上形成  $0.05\mu\text{m}$  左右的金箔。

如图 6(b) 所示, 在半导体芯片 22 和半导体芯片 17c 之间填充了绝缘性树脂 27。这里, 绝缘性树脂 27 的材料在本实施例中是环氧类热硬化型树脂, 室温下的粘度是  $0.3\sim 10\text{Pa}\cdot\text{s}$ 。并且, 为了确保硬化后的绝缘性树脂 27 的特性, 也可以在绝缘性树脂 27 中添加球形填充剂。另外, 绝缘性树脂 27 的材料也可采用丙烯酸类、酚醛类树脂。  
20

半导体芯片 22 固定在导线框架的冲模垫 28 上。另外, 通过金属细线 30, 把半导体芯片 22 的外部电极垫 24 和导线框架的内部引线 29 电连接起来。用密封树脂 31 把半导体芯片 22、半导体芯片 17c、冲模垫 28、内部引线 29、金属细线 30 密封起来。  
25

如上所述, 在本实施例中, 从半导体片 15 得到的半导体芯片 17c 的芯片尺寸比以往的半导体芯片 2a 小。因此, 在本实施例的半导体装置 100 中, 能减小半导体芯片 22 的尺寸。即根据本实施例, 能得到比以往的半  
30

导体装置 200 小的半导体装置。

另外,根据本实施例,作为半导体芯片 17c,通过使用图 3(a)到图 5(b)所示中的任意一个,能消减半导体装置的制造成本。

5 根据本实施例,能得到半导体芯片 17c 的静电电容和电感的影响非常小的半导体装置。

下面,就整体芯片区域 17 的探测垫 19、电极垫 18 和各布线层的结构加以说明。图 7 和 8 是表示整体芯片区域 17 的探测垫 19、电极垫 18 以及各布线层的结构的部分剖视图。

10 如图 7(a)所示,整体芯片区域 17 中具有:具有形成在上表面上的扩散层 39 的衬底 54、形成在衬底 54 上的绝缘膜 51、52 和 53。连接以从绝缘膜 53 的开口部 53a 露出的形式而设置的探测垫 19 和电极垫 18 (突起电极 25) 的布线 21,通过形成在绝缘膜 52 上的通孔 38 与连接了形成在衬底 54 上的扩散层 39 的布线 44 相连。

15 另外,如图 7(b)所示,也可以通过绝缘膜 52、53 把连接探测垫 19 和电极垫 18 (突起电极 25) 的布线 21 分离,用位于第二分离线 20 的正下方的由多晶硅形成的布线 41 连接。由此,能抑制用刀切断后毛边的产生,能防止短路。

20 如图 7(c)所示,也可以在比连接探测垫 19 和电极垫 18 的布线 43 更下层的布线层中形成连接电极垫 18 (突起电极 25) 和扩散层 39 的布线 42。由此,与所述图 7(a)以及图 7(b)相比,能缩短从集成电路到电极垫 18 的布线长度。因此,能降低布线电容。

另外,如图 8 所示,也可以采用在探测垫 19 的正下方形成扩散层 39'、通过插塞 38' 直接连接探测垫 19 和扩散层 39' 的布线结构。

25 下面,参照图 9 和 10,说明一下本发明的半导体装置的制造方法。图 9 和 10 是表示本实施例的半导体装置的制造方法的各工序的剖视图。

30 首先,在图 9(a)所示的工序中,准备具有用第一分离线 16 划分的多个整体芯片区域 17 的半导体片 15。在整体芯片区域 17 上形成了集成电路(没有图示)、电极垫 18、探测垫 19。几个探测垫 19 通过横切第二分离线 20 的布线 21 与电极垫 18 相连。接着,通过使探测针 44 接触半导体片 15 的上表面上的探测垫 19,进行各整体芯片区域 17 的检查。

接着,在图 9(b)所示的工序中,在形成在半导体片 15 上的多个整体芯片区域 17 的上表面上的电极垫 18 上形成突起电极 25。这里,用熔融金属即锡-银合金形成突起电极 25。锡-银合金的组成为对于锡,银的含量为 3.5%,锡-银合金的厚度为  $30\mu\text{m}$  左右。作为由锡-银合金构成的突起电极 25 的形成方法例如有电解电镀法、无电解电镀法、印刷法、浸泡法或螺栓凸出法等。另外,为了提高电极垫 18 和突起电极 25 的密合性和防止金属扩散,在电极垫 18 上,形成按钛、铜、镍、锡-银合金的顺序层叠的层叠膜作为底障碍金属层(没有图示)。并且,锡-银合金也可以再包含铜、铋。另外,也可以用锡-铅合金、锡、铟代替锡-银合金形成突起电极 25。

接着,在 9(c)所示的工序中,把切片胶带 45 贴在半导体片 15 的下表面上后,通过以回转刀沿着第二分离线 20 切断而分离出形成了探测垫 19 的切断区域 17b 和形成了电极点 18 以及集成电路(没有图示)的半导体芯片区域 17a,就可形成半导体芯片 17c。

接着,在图 9(d)所示的工序中,得到半导体芯片 17c。

接着,图 10(a)所示的工序中,准备具有用分离线(没有图示)划分并且分离的多个成为半导体芯片 22 的整体芯片区域 22a 的半导体片(没有图示)。并且,这里,为了简单,只示意性地表示了整体芯片区域 22a。在各整体芯片区域 22a 上形成了在上表面上形成的内部电极垫 26 和外部电极垫 24、连接在内部电极垫 26 和外部电极垫 24 上的内部电路(没有图示)。接着,在各整体芯片区域 22a 的上表面上的内部电极垫 26 上形成突起电极 23。在本实施例中,使用镍膜形成突起电极 23。这时,镍膜的厚度为  $8\mu\text{m}$  左右,为了防止氧化,在镍膜的表面也可以用  $0.05\mu\text{m}$  左右的厚度形成金。用电解电镀法、无电解电镀法、印刷法、浸泡法或螺栓凸出法等作为由镍和金构成的突起电极 25 的形成方法。另外,除了镍,也可以用锡-银合金、锡-铅合金、锡、铟、金或铜中的任意一种作为形成突起电极 23 的熔融金属材料。

接着,在图 10(b)所示的工序中,在整体芯片区域 22a 的上表面上涂抹绝缘性树脂 27。在本实施例中,涂抹环氧类热硬化型树脂作为绝缘性树脂 27 的材料。绝缘性树脂 27 的材料最好使用室温下的粘度为

0.3~10Pa·s 的材料。并且,为了确保硬化后的绝缘性树脂 27 的特性,也可以在绝缘性树脂 27 的材料中添加球形填充剂。另外,可以用例如丙烯酸类、酚醛类树脂作为绝缘性树脂 27 的材料,也可以用热硬化性树脂、热可塑性树脂、2 液混合的常温硬化性树脂、UV 硬化性树脂和热硬化性树脂的并用中的任意一种。在本实施例中,作为绝缘性树脂 27 的供给方法,使用分配装置把绝缘性树脂 27 从注射器 46 滴到整体芯片区域 22a 的突起电极 23 上。此外,也可以根据整体芯片区域 22a 的形状和尺寸分多次滴下。也可以用基于复制法和印刷法的方法作为绝缘性树脂 27 的供给方法。

接着,在图 10(c)所示的工序中,一边以整体芯片区域 22a 的突起电极 23 的熔点温度和半导体芯片 17c 的突起电极 25 的熔点温度中较低的熔点温度进行加热,一边把半导体芯片 17c 按压到整体芯片区域 22a 上。由此,熔融的突起电极 23 或 25 发生机械变形,突起电极 23 或 25 的表面氧化膜被破坏,突起电极 23 和突起电极 25 通过金属扩散容易地接合在一起。

在本实施例中,使用脉冲加热工具 47,在 221~300℃的温度下,进行 1~3 秒的加热和按压。当用锡-银合金形成了整体芯片区域 22a 的突起电极 23 时,最好通过用脉冲加热工具 47,在 183~250℃的温度下进行加热和按压,把半导体芯片 17c 接合到整体芯片区域 22a 上。当用锡形成了整体芯片区域 22a 的突起电极 23 时,最好通过用脉冲加热工具 47,在 290~400℃的温度下进行加热和按压,把半导体芯片 17c 按压到整体芯片区域 22a 上。当用铟形成了整体芯片区域 22a 的突起电极 23 时,最好通过用脉冲加热工具 47,在 190℃~250℃的温度下进行加热和按压,把半导体芯片 17c 按压到整体芯片区域 22a 上。

接着,在解除了基于脉冲加热工具 47 的加热和按压后,用热硬化炉使绝缘性树脂 27 热硬化。然后,把切片胶带贴在半导体片的下表面上后,通过以回转刀沿着分离线 20 切断而分离各整体芯片区域 22a,来形成接合了半导体芯片 17c 的半导体芯片 22。

接着,如图 10(d)所示,用金属细线 30 连接了半导体芯片 22 的外部电极垫 24 和导线框架的内部引线 29 后,用密封树脂 31 把半导体芯片 17c、

半导体芯片 22、冲模垫 28、内部引线 29、金属细线 30 密封起来。接着，通过形成从密封树脂 31 伸出的导线框架的外部引线，得到半导体装置 100。

5 须指出的是，在本实施例中，虽然是在图 10(c)所示的工序中分离各整体芯片区域 22a，但是并不局限于此。例如，也可以在图 10(a)所示的工序中分离各整体芯片区域 22a 而形成半导体芯片 22，其后，再同样进行图 10(b)以后的工序。

通过把本实施例中得到的半导体芯片 17c 和半导体芯片 22 构成的 COC 型半导体装置 100 搭载到导线框架、印刷电路板等上，也能形成半导体封装。

10 并且，在本实施例中，作为半导体芯片 17c 和半导体芯片 22 的组合，例如可以列举出包含 DRAM 等存储器的半导体芯片和包含微型电子计算机等逻辑电路的半导体芯片的组合、包含彼此不同的逻辑电路的半导体芯片的彼此的组合、或使用化合物半导体衬底制造的半导体芯片和使用硅衬底制造的半导体芯片的组合。另外，也可以把以彼此不同的工艺形成的两个

15 半导体芯片、或把以一种工艺制造一大面积半导体芯片二分而成的两个半导体芯片组合在一起。

根据本发明，能提供小型、高性能的半导体装置。



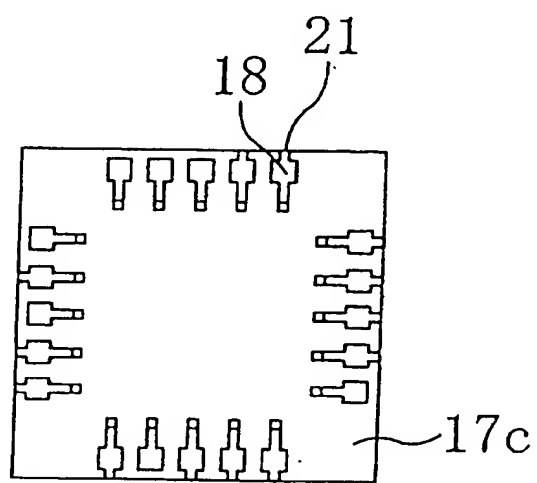


图 2

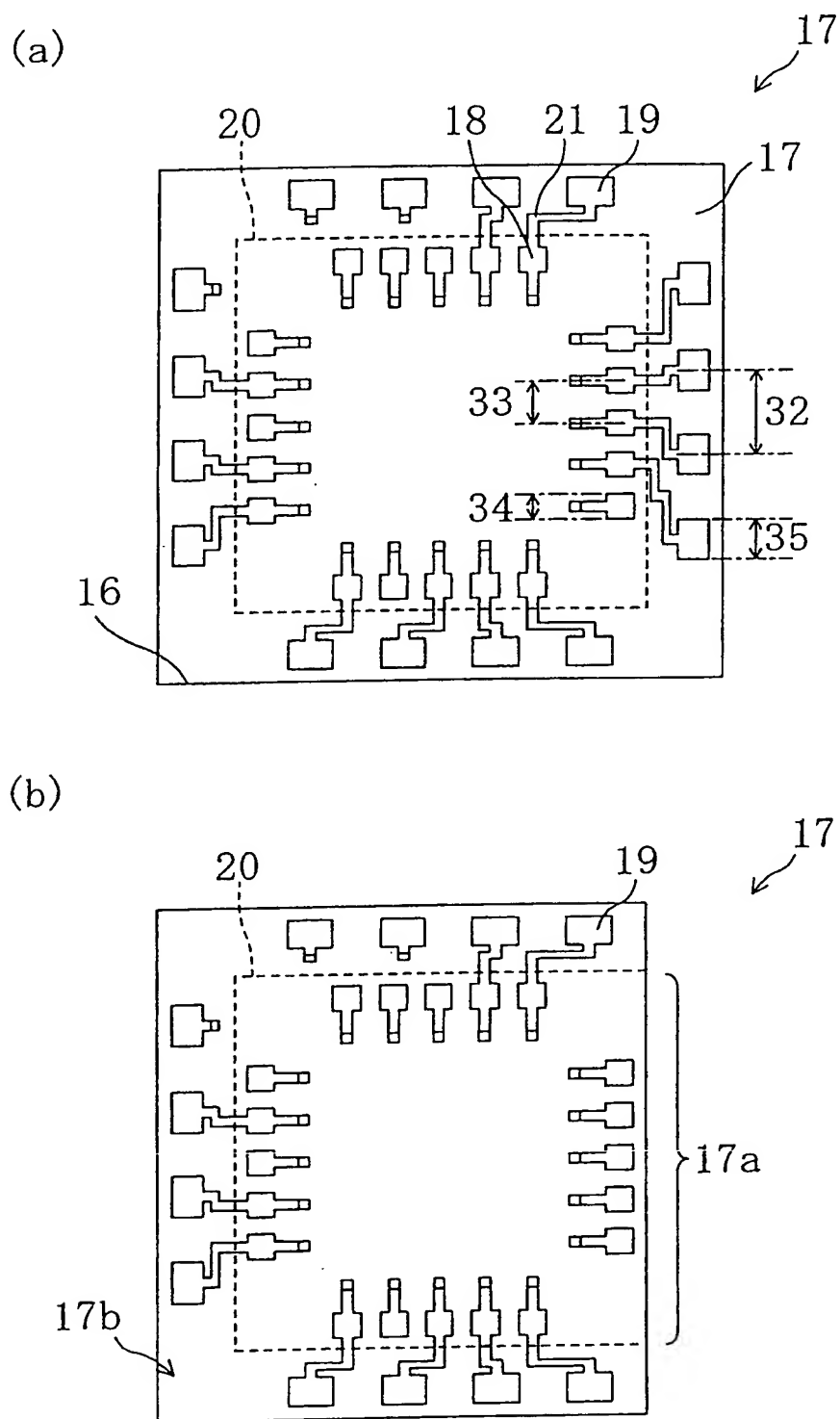


图 3

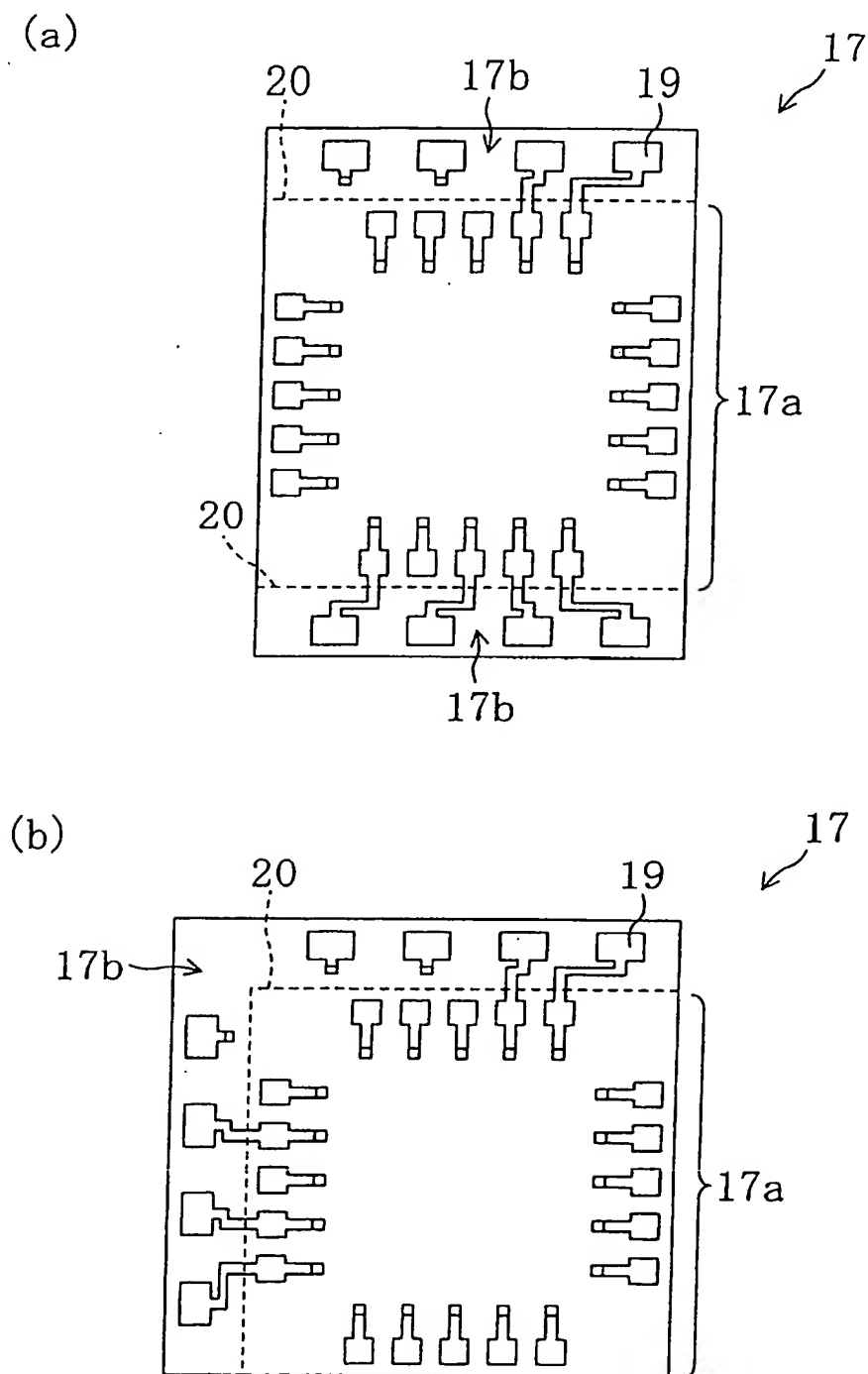


图 4

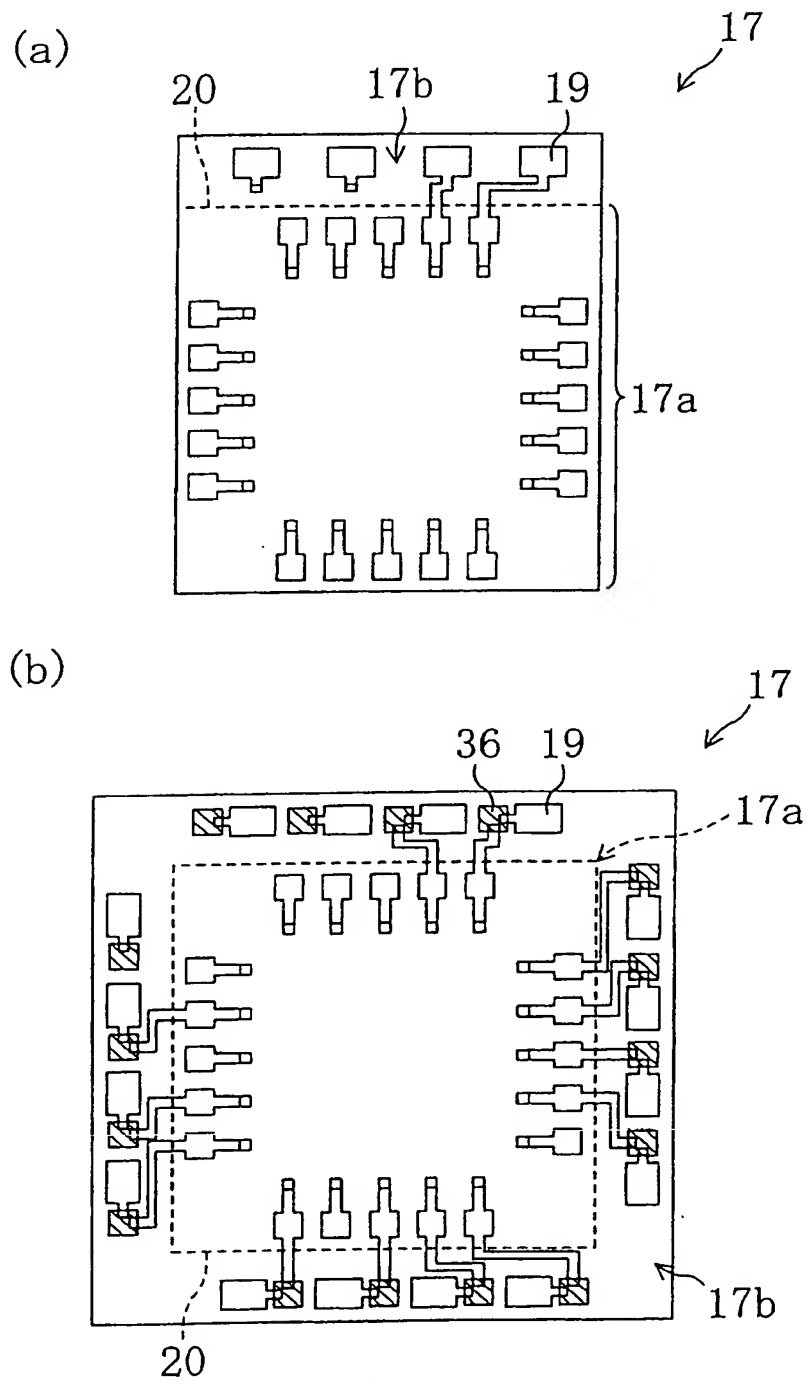


图 5

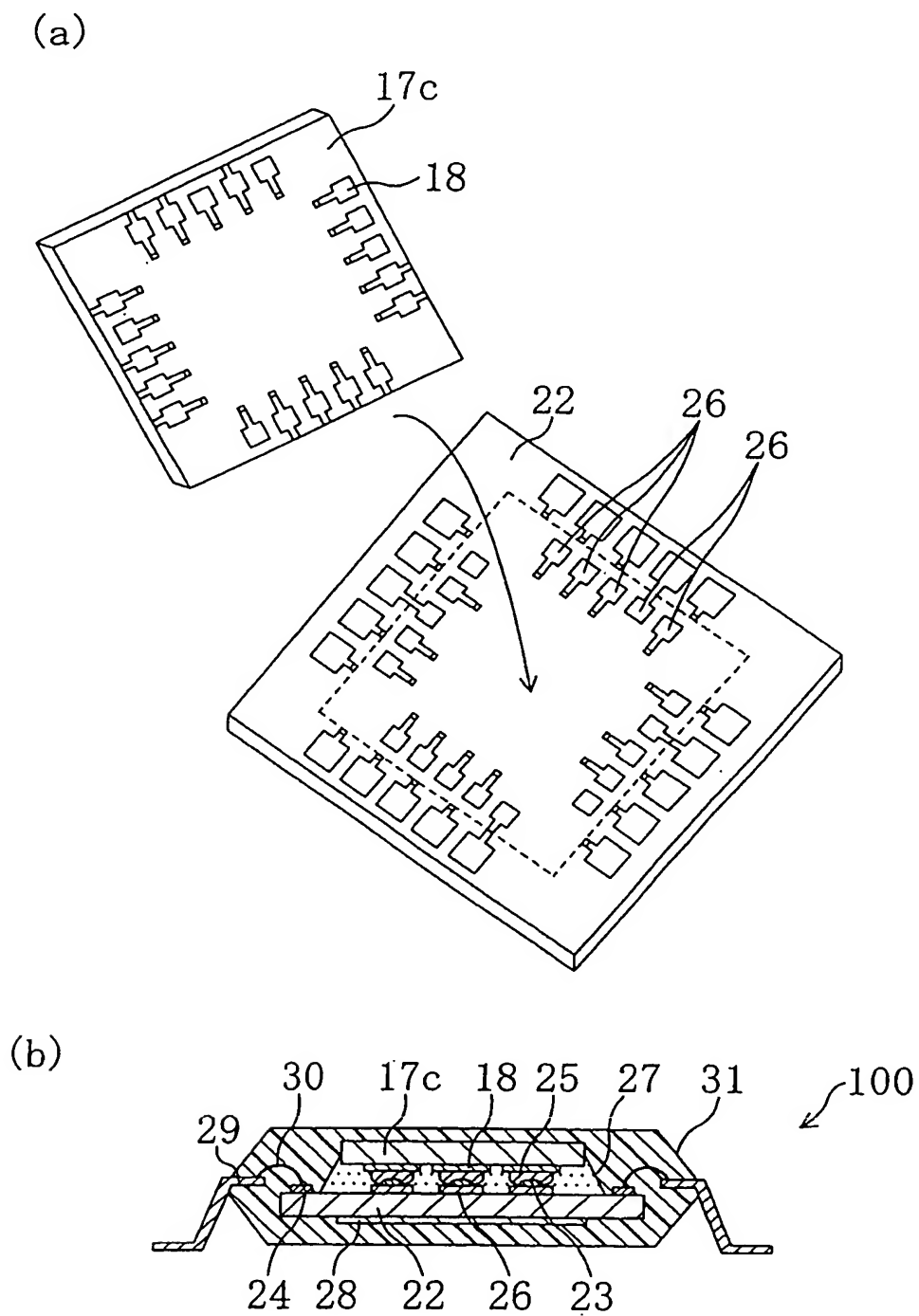


图 6

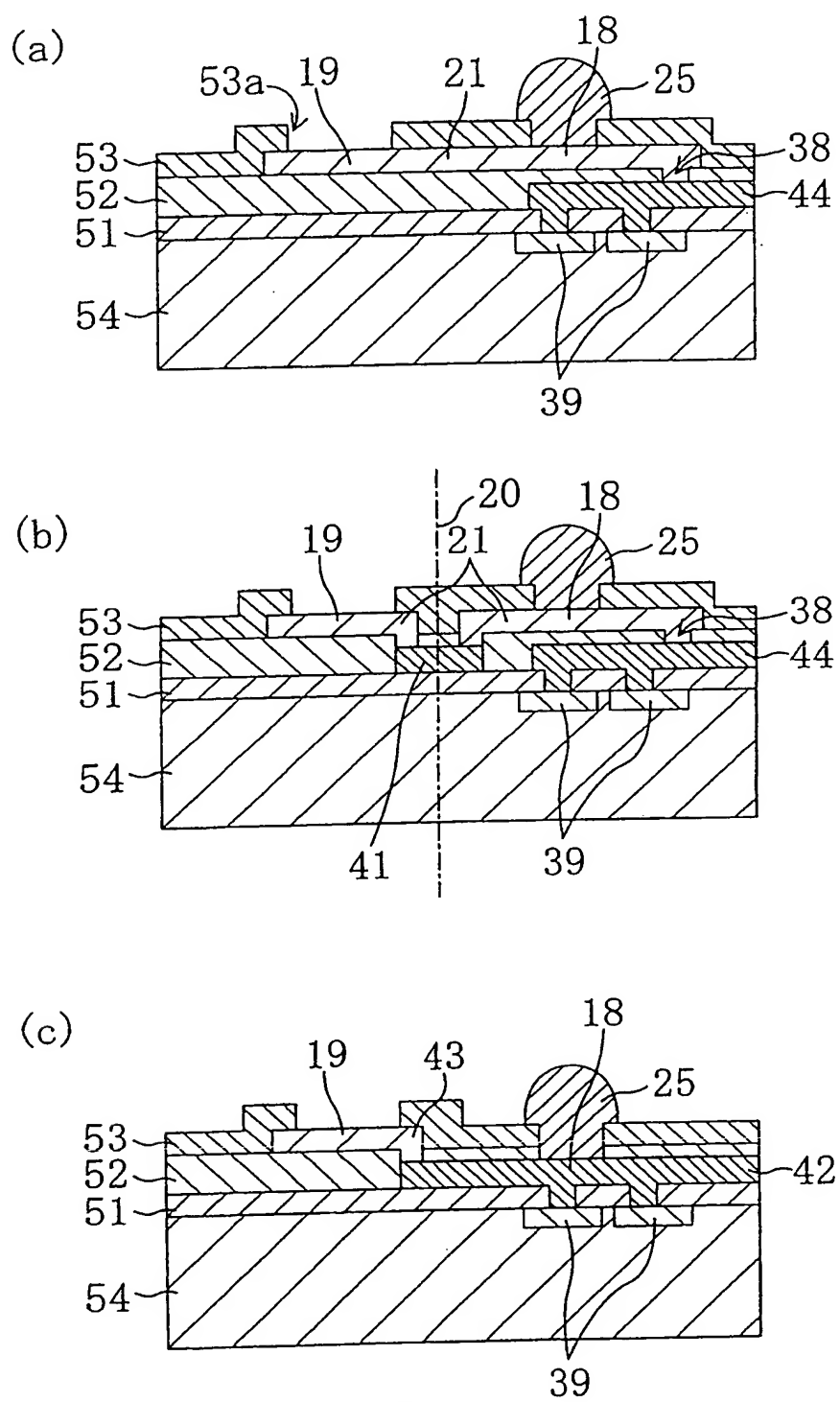


图 7

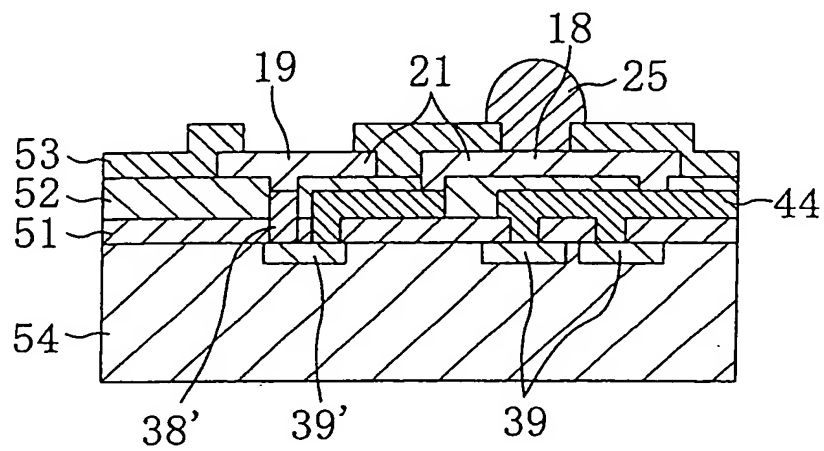


图 8

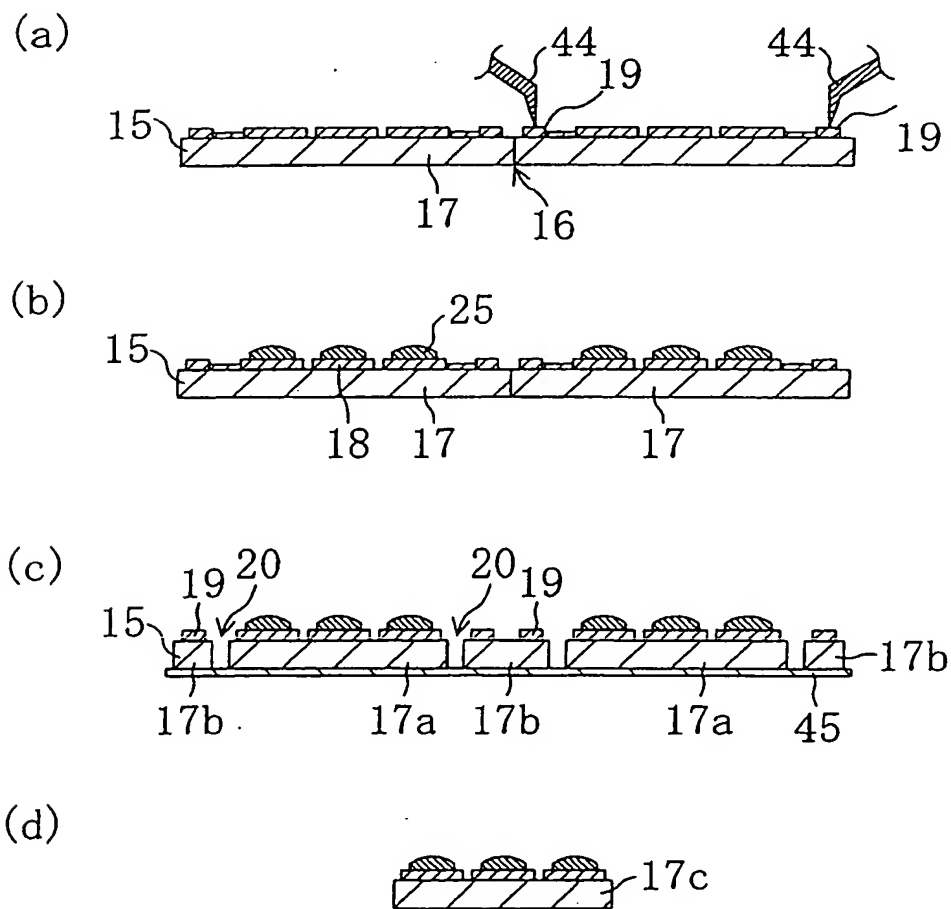


图 9

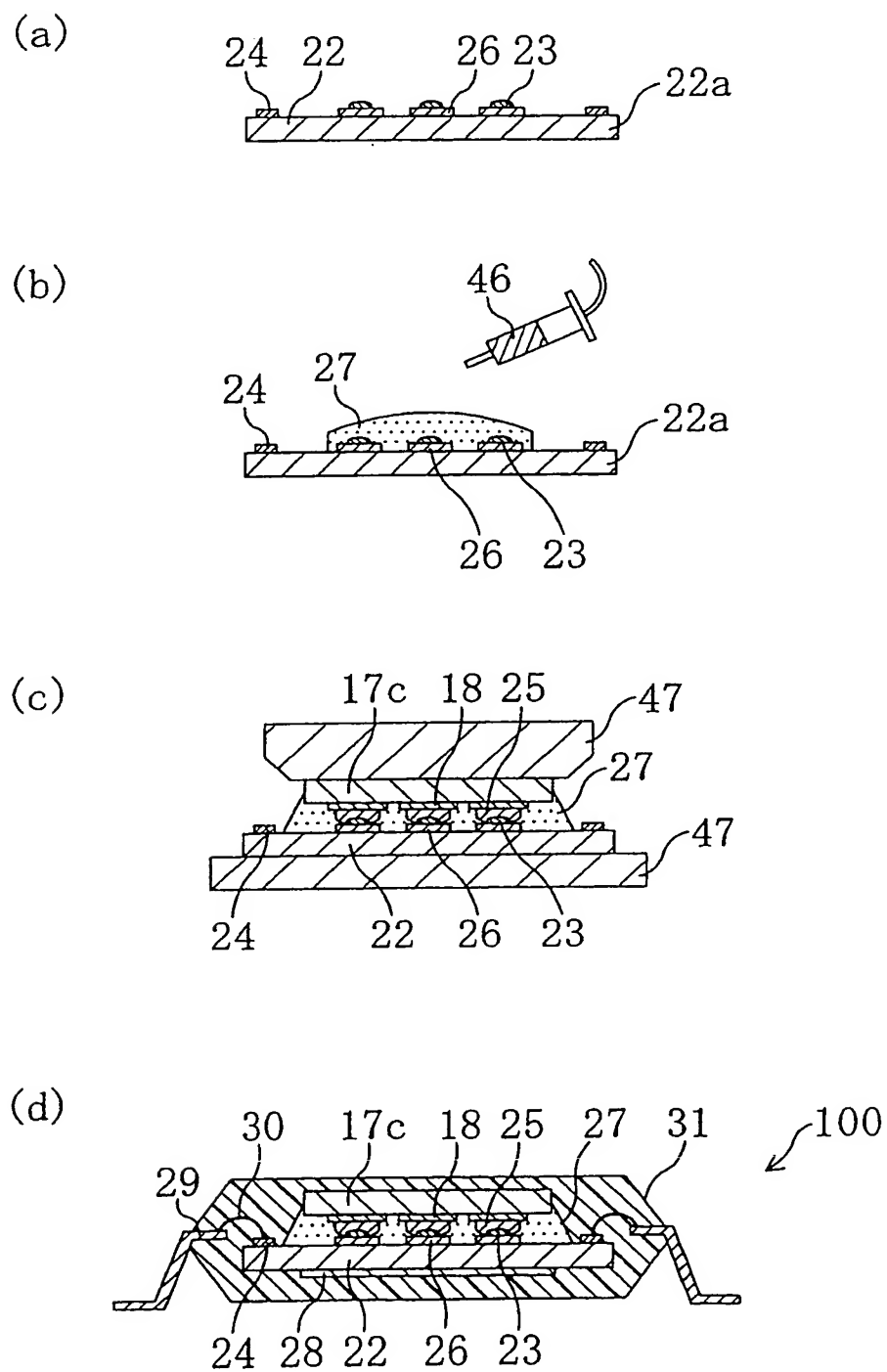


图 10

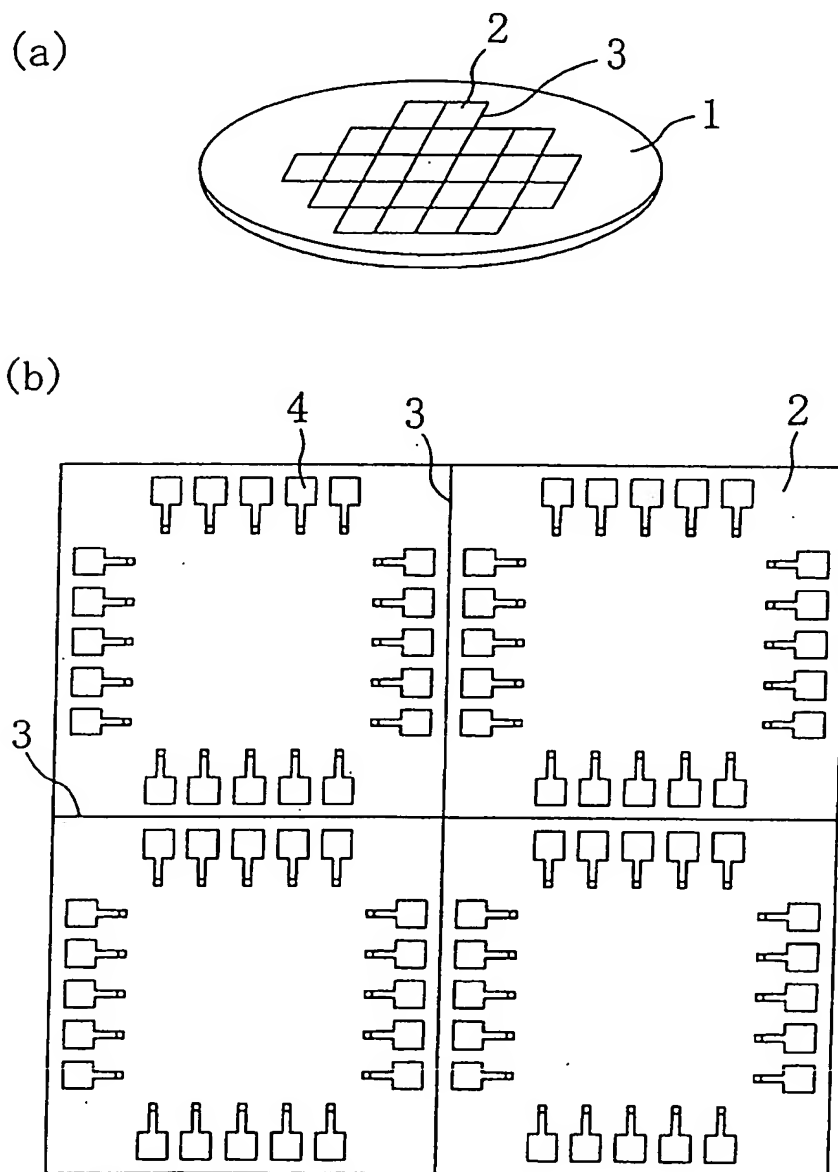
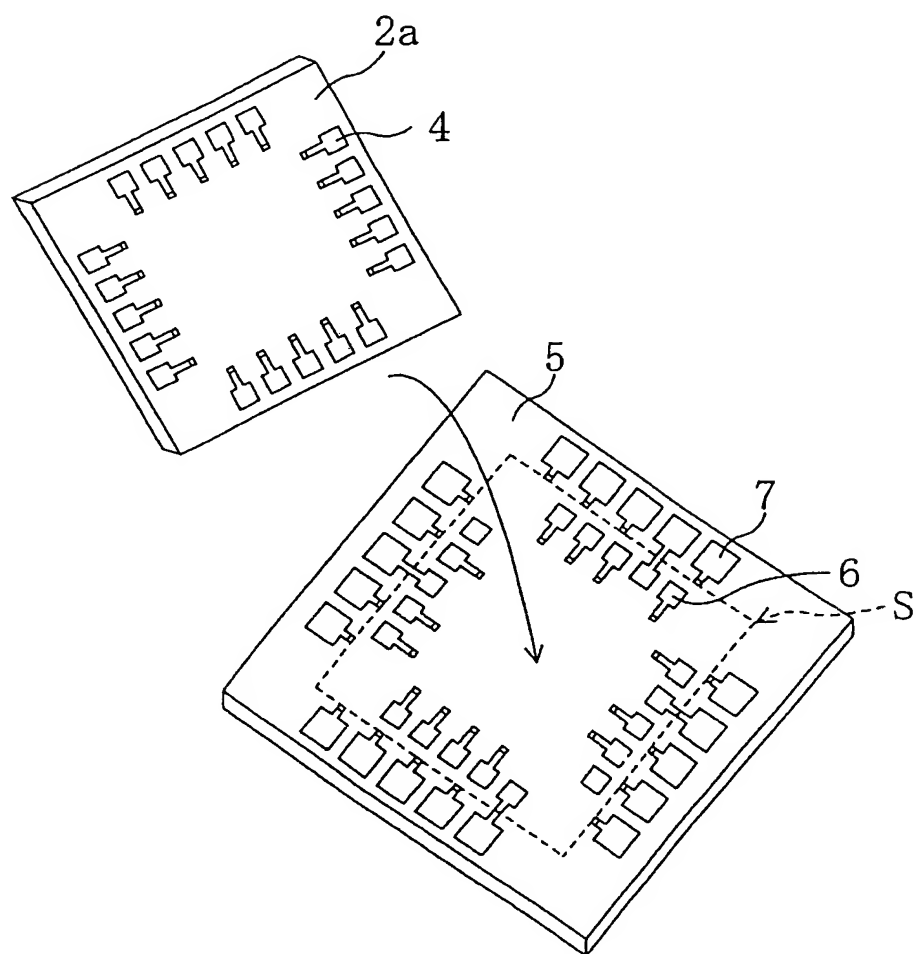


图 11

(a)



(b)

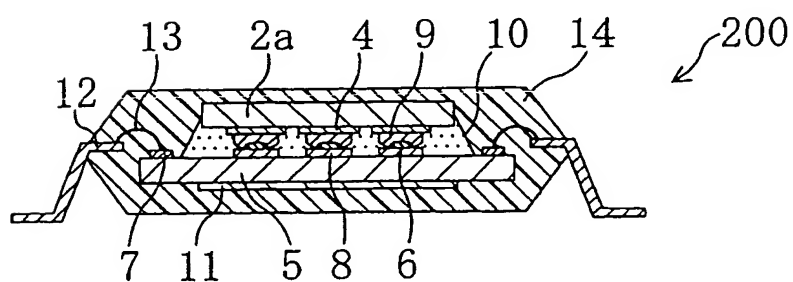


图 12